

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110427

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H03L 7/10  
H03L 7/087

(21)Application number : 03-102287

(71)Applicant : NEC CORP

(22)Date of filing : 08.05.1991

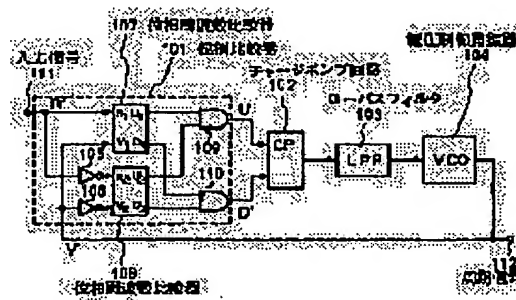
(72)Inventor : INOUE TOSHIAKI

## (54) PHASE LOCKED LOOP CIRCUIT

## (57)Abstract:

PURPOSE: To quickly implement phase locking and tracing with respect to an input signal and to reduce phase jitter of a synchronizing signal.

CONSTITUTION: A phase comparator section 101 is provided with a phase comparator 107 receiving inputs R', V' as they are and a phase comparator 108 receiving them after inversion and implements phase comparison at both leading and trailing edges of the input signal. Since number of times of correction of the phase is doubled in a same time in comparison with the phase comparison at the trailing edge only, the phase locking and tracing to the input signal are quickened and phase jitter in a synchronizing signal due to noise or instability of the oscillating frequency of a voltage controlled oscillator 104 is reduced.



## LEGAL STATUS

[Date of request for examination] 29.11.1995

[Date of sending the examiner's decision of rejection] 13.01.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2811994

[Date of registration] 07.08.1998

[Number of appeal against examiner's decision of rejection] 10-02344

[Date of requesting appeal against examiner's decision of rejection] 12.02.1998

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[JP,05-110427,A]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The phase-comparison section which considers an input signal and a synchronizing signal as an input A charge pump circuit which considers the output as an input, a low pass filter which considers the output as an input, and a voltage controlled oscillator which considers the output as an input The 1st phase frequency comparator to which it is the phase lock loop equipped with the above, and said phase-comparison section considers an input signal and a synchronizing signal as an input as it is, The 2nd phase frequency comparator which considers an output of the 1st inverter which reverses an input signal, and an output of the 2nd inverter which reverses a synchronizing signal as an input, It is characterized by consisting of the 1st AND gate which considers the 1st output of the 1st phase frequency comparator, and the 1st output of the 2nd phase frequency comparator as an input, and the 2nd AND gate which considers the 2nd output of the 1st phase frequency comparator, and the 2nd output of the 2nd phase frequency comparator as an input.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the phase lock loop of a digital signal in more detail about the clock supply circuit of a digital system.

[0002]

[Description of the Prior Art] In a digital phase lock loop, in order to obtain the largest possible frequency drawing-in range (pull in range), a phase frequency comparator is used for the phase comparison section. If the pull in range of a phase lock loop is a frequency error in the oscillation frequency range in accordance with the oscillation frequency range of a voltage controlled oscillator by the comparison property of a phase frequency comparator, phase simulation will surely be obtained.

[0003] Drawing 3 shows the circuit diagram of the conventional digital phase lock loop which used such a phase frequency comparator. This circuit consists of the phase frequency comparator 307 and a charge pump circuit (CP) 102, a low pass filter (LPF) 103, and a voltage controlled oscillator (VCO) 104. The frequency error or phase error of an input signal and the output signal of a voltage controlled oscillator 104 is detected by the phase frequency comparator 307, and is changed into analog voltage by the charge pump circuit 102 and the low pass filter 103. This analog voltage controls the oscillation frequency of a voltage controlled oscillator 104 as control voltage. If the phase of an input signal and the output signal of a voltage controlled oscillator 104 is in agreement, control voltage will become fixed, phase simulation will be completed, and a synchronizing signal will be obtained. A synchronization passes through two processes in which a phase drawing-in (lock in) process performs phase simulation, after bringing the oscillation frequency of a voltage controlled oscillator 104 close to the frequency of an input signal according to a frequency drawing-in (pull in) process first.

[0004] The circuit diagram of the conventional phase frequency comparator 307 is shown in drawing 4. The conventional phase frequency comparator 307 is a sequential circuit which consists of NAND gates 401 and 402, 403, 404, 405 and RS flip flop 406, 407. The actuation is shown in drawing 5. Drawing 5 (a) shows the table of the circuit of drawing 4 of operation. the mark in drawing -- the phase frequency comparator 307 of drawing 4 -- referring to -- R and V -- an input and  $U_t$  --  $D_t$  The present output,  $U_{t+1}$ , and  $D_{t+1}$  As for logical level "L" "H", a upward arrow head, and a downward arrow head, the output after an input changes, and L and H show the rising edge and falling edge of a pulse, respectively. x shows an arbitration input. This phase frequency comparator 307 detects the falling edge of two input signals, and outputs the signal according to that phase contrast. For example, when the phase of R progresses rather

than that of V, an output U is set to L by only phase contrast, and an output D is still H. L Moreover, as for an output U, in the case of reverse, only in phase contrast, an output D becomes with H. As for drawing 5 (b), R shows the wave of the phase frequency comparator 307 when a phase progresses of operation rather than V. If the phase of R gives the input signal which progressed for a while rather than V, according to drawing 5 (a), the phase frequency comparator 307 detects falling of R first, will set an output U to L from H, then, will detect falling of V, and will return an output U to H from L. At this time, an output D is still H. Thus, the phase frequency comparator 307 detects phase contrast.

[0005]

[Problem(s) to be Solved by the Invention] In the conventional digital phase lock loop, since a phase comparison was performed only in falling of an input signal pulse (it is an edge trigger), in the lock in process, synchronous time amount was needed for a long time, and there was a defect that the phase jitter of a synchronizing signal could become large.

[0006] For example, after the example of drawing 5 (b) of operation also detects phase contrast at a certain time of day t so that clearly, it must wait a term about 1 round of an input signal to detection of the following phase contrast, and the phase frequency comparator 307 has not carried out detection actuation in the meantime. Therefore, since amendment of the phase error produced by instability (the temperature change, fluctuation of supply voltage, etc.), a noise, etc. of oscillation frequency of the voltage controlled oscillator 104 produced in the meantime cannot be performed, the phase jitter of a synchronizing signal can become large. Conversely, it turns out that the flatness to the phase change of an input signal can become slow by the same reason.

[0007] It aims at offering the phase lock loop which the phase simulation and flatness to an input signal are quickly performed [ phase lock loop ] rather than before, and decreases the phase jitter of the synchronizing signal by instability, a noise, etc. of oscillation frequency of a voltage controlled oscillator 104 in this invention.

[0008]

[Means for Solving the Problem] In a phase lock loop where this invention consists of the phase-comparison section which considers an input signal and a synchronizing signal as an input, a charge pump circuit which considers the output as an input, a low pass filter which considers the output as an input, and a voltage controlled oscillator which considers the output as an input The 1st phase frequency comparator to which said phase-comparison section considers an input signal and a synchronizing signal as an input as it is, The 2nd phase frequency comparator which considers an output of the 1st inverter which reverses an input signal, and an output of the 2nd inverter which reverses a synchronizing signal as an input, The 1st AND gate which considers an AND of the 1st output of the 1st phase frequency comparator, and the 1st output of the 2nd phase frequency comparator as an output, It is considering as a configuration which consists of the 2nd AND gate which considers an AND of the 2nd output of the 1st phase frequency comparator, and the 2nd output of the 2nd phase frequency comparator as an output.

[0009]

[Function] By making a digital phase lock loop such a configuration, a phase comparison with the oscillation output of a voltage controlled oscillator 104 is performed in both the standup of an input signal, and falling. Then, since the count of amendment of a phase doubles in the same time amount compared with the case where the phase comparison is being performed, only in the conventional falling, the phase

simulation and flattery to an input signal are performed quickly, and the phase jitter of the synchronizing signal by instability, a noise, etc. of oscillation frequency of a voltage controlled oscillator 104 decreases.

[0010]

[Example] Next, this invention is explained to details using a drawing. Drawing 1 is the circuit diagram showing one example of the phase lock loop of this invention. This example consists of the phase-comparison section 101, a charge pump circuit 102, a low pass filter 103, and a voltage controlled oscillator 104. The 1st phase frequency comparator 107 to which the phase-comparison section 101 considers an input (R', V') 111, i.e., an input signal, and a synchronizing signal 112 as an input (R1 and V1) as it is, The 2nd phase frequency comparator 108 which considers the output of the 1st inverter 105 which reverses R', and the output of the 2nd inverter 106 which reverses V' as an input (R2 and V2), The 1st output U1 of the 1st phase frequency comparator 107 The 1st output U2 of the 2nd phase frequency comparator 108 The AND gate 109 which makes an AND output U', The 2nd output D1 of the 1st phase frequency comparator 107 Output D2 of the 2nd phase frequency comparator. 108 It consists of the 2nd AND gate 110 which makes an AND output D'.

[0011] In drawing 1 , the oscillation output of an input signal and a voltage controlled oscillator 104 is inputted into the phase-comparison section 101, and a phase error is detected to the extent that it falls with the standup of these inputs and comes out. That phase error is changed into analog voltage by the charge pump circuit 102 and the low pass filter 103, serves as control voltage of the oscillation frequency of a voltage controlled oscillator 104, and oscillates a voltage controlled oscillator 104 on the frequency according to this control voltage. If the phase of an input signal and the oscillation output signal of a voltage controlled oscillator 104 is in agreement, it will become fixed [ the control voltage of a voltage controlled oscillator 104 ], phase simulation will be completed, and a synchronizing signal will be obtained.

[0012] Drawing 2 is the wave form chart showing an example of actuation of the phase-comparison section 101 which constitutes this invention. the output U1 of the 1st phase frequency comparator 107 which inputs the signal of an input (R', V') as it is, and D1 The output U2 of the 2nd phase frequency comparator 108 which is reversed, respectively and inputs the signal of an input, and D2 By taking an AND about each, the result which carried out the phase comparison to the output (U', D') in both the standup of R' and V' and falling is outputted. The part lock in process in which phase simulation doubled compared with the conventional circuit in the time amount with the same count of detection of a phase error since the oscillation frequency of a voltage controlled oscillator 104 was amended and this output signal realized is performed quickly. It becomes possible for the phase simulation and flattery to an input signal to be quickly performed by this rather than before, and to decrease the phase jitter of the synchronizing signal by instability, a noise, etc. of oscillation frequency of a voltage controlled oscillator 104.

[0013] As mentioned above, although this invention was explained with the example, this invention is not limited only to this example. For example, although the phase frequency comparator used for the phase-comparison section is explained taking the case of what detects the falling edge of an input pulse, even if it uses what detects a rising edge, it is clear that this invention is applicable.

[0014]

[The result of invention] According to this invention, the stable synchronizing signal which the phase simulation and flattery to an input signal are quickly performed [ synchronizing signal ] rather than

before, and decreased the phase jitter by instability, a noise, etc. of oscillation frequency of a voltage controlled oscillator can be obtained.

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-110427

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/10				
7/087				
		9182-5 J	H 0 3 L 7/ 10	A
		9182-5 J	7/ 08	P

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-102287

(22)出願日 平成3年(1991)5月8日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井上 俊明

東京都港区芝五丁目7番1号日本電気株式会社内

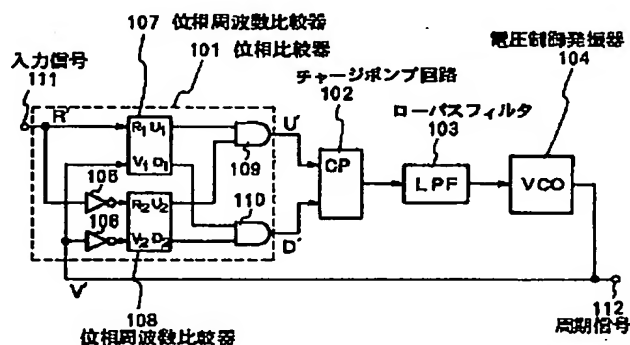
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 位相同期回路

(57)【要約】

【目的】 入力信号に対する位相同期や追従が迅速に行なわれ、また同期信号の位相ジッタを減少させること。

【構成】 位相比較部101は入力R'、V'をそのまま入力とする位相比較器107と反転して入力する位相比較器108を有し、入力信号の立上り、立下り両方のエッジで位相比較を行なう。立下りのみで位相比較を行っていた場合に比べて、同じ時間内に位相の補正回数が2倍になるので入力信号に対する位相同期や追従が迅速になり、また電圧制御発振器104の発振周波数の不安定性や雑音などによる同期信号の位相ジッタが減少する。



(2)

## 【特許請求の範囲】

【請求項1】 入力信号と同期信号を入力とする位相比較部と、その出力を入力とするチャージポンプ回路と、その出力を入力とするローパスフィルタと、その出力を入力とする電圧制御発振器とからなる位相同期回路において、前記位相比較部が入力信号と同期信号をそのまま入力とする第1の位相周波数比較器と、入力信号を反転する第1のインバータの出力と同期信号を反転する第2のインバータの出力を入力とする第2の位相周波数比較器と、第1の位相周波数比較器の第1の出力と第2の位相周波数比較器の第1の出力を入力とする第1のANDゲートと、第1の位相周波数比較器の第2の出力と第2の位相周波数比較器の第2の出力を入力とする第2のANDゲートとからなることを特徴とする位相同期回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタルシステムのクロック供給回路に関し、さらに詳しくはデジタル信号の位相同期回路に関するものである。

## 【0002】

【従来の技術】デジタル位相同期回路では、できるだけ広い周波数引き込み範囲（プラインレンジ）を得るために、位相比較部に位相周波数比較器が用いられる。位相同期回路のプラインレンジは、位相周波数比較器の比較特性によって電圧制御発振器の発振周波数範囲と一致し、その発振周波数範囲内の周波数誤差であれば必ず位相同期が得られる。

【0003】図3はこのような位相周波数比較器を用いた従来のデジタル位相同期回路の回路図を示す。この回路は位相周波数比較器307およびチャージポンプ回路（CP）102、ローパスフィルタ（LPF）103、電圧制御発振器（VCO）104で構成される。入力信号と電圧制御発振器104の出力信号との周波数誤差または位相誤差は位相周波数比較器307によって検出され、チャージポンプ回路102およびローパスフィルタ103によってアナログ電圧に変換される。このアナログ電圧は制御電圧として電圧制御発振器104の発振周波数を制御する。入力信号と電圧制御発振器104の出力信号の位相が一致すると、制御電圧は一定になって位相同期が完了し、同期信号が得られる。同期ははじめに周波数引き込み（プライン）過程によって電圧制御発振器104の発振周波数を入力信号の周波数に近づけた後、位相引き込み（ロックイン）過程によって位相同期を行うという2つの過程を経る。

【0004】図4に従来の位相周波数比較器307の回路図を示す。従来の位相周波数比較器307は、NANDゲート401、402、403、404、405およびRSフリップフロップ406、407からなる順序回路である。図5にその動作を示す。図5（a）は図4の回路の動作表を示している。図中の記号は図4の位相周

2

波数比較器307を参照し、R、Vは入力、 $U_t$ 、 $D_t$ は現在の出力、 $U_{t+1}$ 、 $D_{t+1}$ は入力に変化した後の出力、L、Hはそれぞれ論理レベル”L”、”H”、上向きの矢印および下向きの矢印はそれぞれパルスの立ち上がりエッジおよび立ち下がりエッジを示す。×は任意入力を示す。この位相周波数比較器307は2つの入力信号の立ち下がりエッジを検出し、その位相差に応じた信号を出力する。例えばRの位相がVのそれよりも進むと、出力Uが位相差だけLになり、出力DはHのままである。また逆の場合、出力UはHのままで、出力Dが位相差だけLなる。図5（b）はRがVよりも位相が進んだ場合の位相周波数比較器307の動作波形を示している。Rの位相がVよりも少し進んだ入力信号を与えると、位相周波数比較器307は図5（a）に従って、まずRの立ち下がりエッジを検出して出力UをHからLにし、次にVの立ち下がりエッジを検出して出力UをLからHに戻す。このとき出力DはHのままである。このようにして位相周波数比較器307は位相差を検出する。

## 【0005】

【発明が解決しようとする課題】従来のデジタル位相同期回路では、入力信号パルスの立ち下がりエッジでしか位相比較が行われない（エッジトリガである）ため、ロックイン過程において同期時間を長く必要とし、また同期信号の位相ジッタが大きくなり得るという欠点があった。

【0006】例えば図5（b）の動作例でも明らかなように、ある時刻tで位相差を検出してから次の位相差の検出まで入力信号のほぼ一周期待たなければならず、その間は位相周波数比較器307は検出動作をしていない。従ってこの間に生じた電圧制御発振器104の発振周波数の不安定性（温度変化や電源電圧の変動など）や雑音などによって生じる位相誤差の補正ができないので、同期信号の位相ジッタが大きくなり得る。逆に入力信号の位相変化に対する追従が同じ理由で緩慢になり得ることがわかる。

【0007】本発明では従来よりも入力信号に対する位相同期や追従が迅速に行われ、また電圧制御発振器104の発振周波数の不安定や雑音などによる同期信号の位相ジッタを減少させる位相同期回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明は、入力信号と同期信号を入力とする位相比較部と、その出力を入力とするチャージポンプ回路と、その出力を入力とするローパスフィルタと、その出力を入力とする電圧制御発振器とからなる位相同期回路において、前記位相比較部が入力信号と同期信号をそのまま入力とする第1の位相周波数比較器と、入力信号を反転する第1のインバータの出力と同期信号を反転する第2のインバータの出力を入力とする第2の位相周波数比較器と、第1の位相周波数比較器の第1の出力と第2の位相周波数比較器の第1の出力

(3)

3

の論理積を出力とする第1のANDゲートと、第1の位相周波数比較器の第2の出力と第2の位相周波数比較器の第2の出力の論理積を出力とする第2のANDゲートとからなる構成としている。

【0009】

【作用】ディジタル位相同期回路をこのような構成にすることによって、入力信号の立ち上がり立ち下りの両方で電圧制御発振器104の発振出力との位相比較が行われる。すると従来の立ち下りのみで位相比較を行っていた場合に比べて、同じ時間内に位相の補正回数が2倍になるので、入力信号に対する位相同期や追従が迅速に行われ、また電圧制御発振器104の発振周波数の不安定性や雑音などによる同期信号の位相ジッタが減少する。

【0010】

【実施例】次に図面を用いて本発明について詳細に説明する。図1は本発明の位相同期回路の一実施例を示す回路図である。この実施例は、位相比較部101とチャージポンプ回路102、ローパスフィルタ103、電圧制御発振器104で構成される。位相比較部101は入力(R', V')即ち入力信号111と同期信号112をそのまま入力(R<sub>1</sub>, V<sub>1</sub>)とする第1の位相周波数比較器107と、R'を反転する第1のインバータ105の出力とV'を反転する第2のインバータ106の出力を入力(R<sub>2</sub>, V<sub>2</sub>)とする第2の位相周波数比較器108と、第1の位相周波数比較器107の第1の出力U<sub>1</sub>と第2の位相周波数比較器108の第1の出力U<sub>2</sub>の論理積を出力U'とするANDゲート109と、第1の位相周波数比較器107の第2の出力D<sub>1</sub>と第2の位相周波数比較器108の出力D<sub>2</sub>の論理積を出力D'とする第2のANDゲート110からなる。

【0011】図1において、入力信号と電圧制御発振器104の発振出力が位相比較部101に入力され、これらの入力の立ち上がり立ち下りで位相誤差が検出される。その位相誤差はチャージポンプ回路102およびローパスフィルタ103によってアナログ電圧に変換されて電圧制御発振器104の発振周波数の制御電圧となり、電圧制御発振器104はこの制御電圧に応じた周波数で発振する。入力信号と電圧制御発振器104の発振出力信号の位相が一致すると、電圧制御発振器104の制御電圧は一定となって位相同期が完了し、同期信号が得られる。

【0012】図2は本発明を構成する位相比較部101の動作の一例を示す波形図である。入力(R', V')の信号をそのまま入力する第1の位相周波数比較器10

4

7の出力U<sub>1</sub>, D<sub>1</sub>と、入力信号をそれぞれ反転して入力する第2の位相周波数比較器108の出力U<sub>2</sub>, D<sub>2</sub>とをそれぞれについて論理積をとることによって、出力(U', D')にR'とV'の立ち上がり立ち下りの両方で位相比較した結果が出力される。位相同期はこの出力信号によって、電圧制御発振器104の発振周波数が補正されて実現されるため、位相誤差の検出の回数が同じ時間内に従来の回路に比べて2倍になった分ロックイン過程が迅速に行われる。このことによって従来よりも入力信号に対する位相同期や追従が迅速に行われ、また電圧制御発振器104の発振周波数の不安定性や雑音などによる同期信号の位相ジッタを減少させることが可能になる。

【0013】以上、実施例をもって本発明を説明したが、本発明はこの実施例のみに限定されるものではない。例えば、位相比較部に用いる位相周波数比較器は入力パルスの立ち下りエッジを検出するものを例にとって説明しているが、立ち上がりエッジを検出するものを用いても本発明が適用できることは明らかである。

20 【0014】

【発明の結果】本発明によると、従来よりも入力信号に対する位相同期や追従が迅速に行われ、また電圧制御発振器の発振周波数の不安定性や雑音などによる位相ジッタを減少させた、安定な同期信号を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す位相同期回路の回路図である。

【図2】本発明で用いた位相比較部の動作波形図である。

30 【図3】従来の位相同期回路の回路図である。

【図4】従来の位相比較部およびその動作を示す図である。

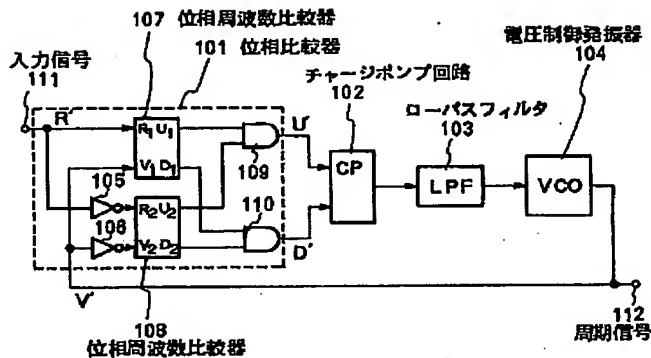
【符号の説明】

- 101 位相比較部
- 102 チャージポンプ回路(CP)
- 103 ローパスフィルタ(LPF)
- 104 電圧制御発振器(VCO)
- 105, 106 インバータ
- 107 第1の位相周波数
- 108 第2の位相周波数比較器
- 109, 110, 401~405 ANDゲート
- 406, 407 RSフリップフロップ
- 111, 201, 202 入力端子
- 112, 203, 204 出力端子

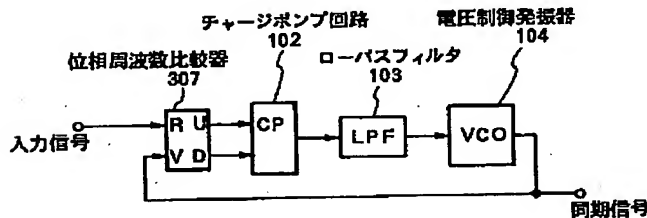
40

(4)

【図1】



【図3】

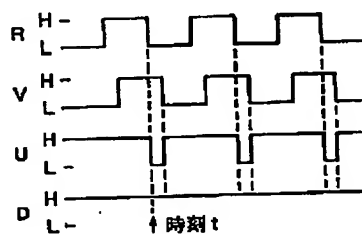


【図5】

$U_n, D_n$	$R, V$	$U_{n+1}, D_{n+1}$
L, H		L, H
H, H	↓	↓, H
H, L		H, ↑
L, H		↑, H
H, H	x	↓, ↓
H, L		H, L
L, L		禁止状態

R, V...図4の位相周波数比較器の入力  
 $U_n, D_n$ ...現在の状態における位相周波数比較器の出力UおよびD  
 $U_{n+1}, D_{n+1}$ ...次の状態における位相周波数比較器の出力UおよびD  
 L...論理レベル“L”, H...論理レベル“H”,  
 ↓...パルスの立ち下がりエッジ, ↑...パルスの立ち上がりエッジ,  
 x...任意入力

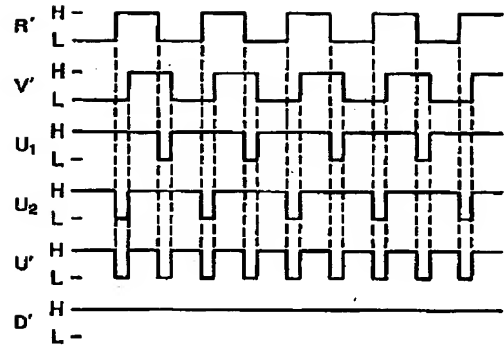
(a)



R, V...図4の位相周波数比較器の入力  
 $U, D$ ...位相周波数比較器の出力

(b)

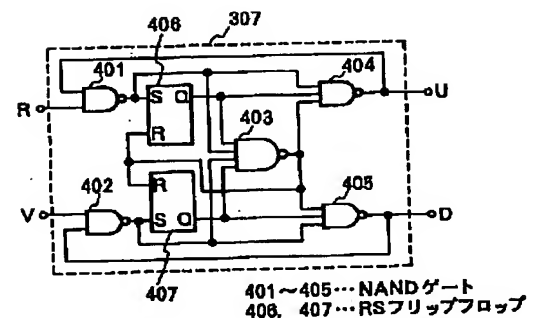
【図2】



R', V'...位相比較部(図2の入力)

 $U_1, U_2$ ...第1および第2の位相周波数比較器の出力 $U', D'$ ...位相比較部の出力

【図4】

401~405...NANDゲート  
406, 407...RSフリップフロップ

【手続補正書】

【提出日】平成4年10月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す位相同期回路の回路図である。

【図2】本発明で用いた位相比較部の動作波形図である。

【図3】従来の位相同期回路の回路図である。

(5)

【図4】従来の位相比較部の回路図である。

【図5】従来の位相比較部の動作を示す図である。

【符号の説明】

101 位相比較部

102 チャージポンプ回路 (CP)

103 ローパスフィルタ (LPF)

104 電圧制御発振器 (VCO)

105, 106 インバータ

107 第1の位相周波数

108 第2の位相周波数比較器

109, 110, 401~405 ANDゲート

406, 407 RSフリップフロップ

111, 201, 202 入力端子

112, 203, 204 出力端子

**THIS PAGE BLANK (USPTO)**